

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 61-251165

(43)Date of publication of application : 08.11.1986

(51)Int.Cl.

H01L 27/06

H01L 27/08

H01L 29/78

(21)Application number : 60-094404

(71)Applicant : FUJITSU LTD

(22)Date of filing : 30.04.1985

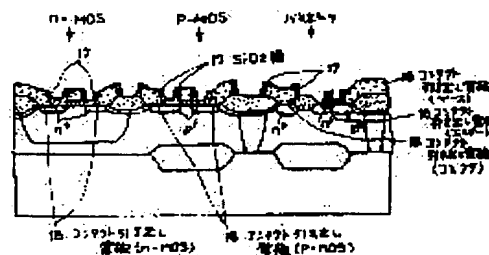
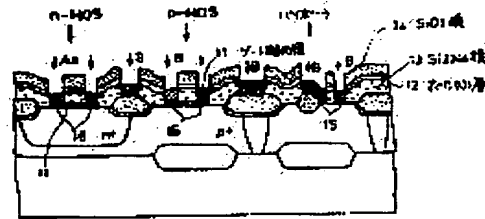
(72)Inventor : GOTO HIROSHI

(54) MANUFACTURE OF BI-MIS INTEGRATED CIRCUIT

(57)Abstract:

PURPOSE: To decrease a step coverage problem by establishing contacts between a main wiring layer and lead-out electrodes through openings in an oxide film laminated on a polysilicon layer.

CONSTITUTION: A semiconductor substrate is exposed except at least an element separation region and a gate oxide film 11 formed in a gate region. Then, a polysilicon layer 12 is grown over the whole surface and a patterning is performed on gate electrodes and the takeout electrodes of both MIS and bipolar transistors. Thereafter, the gate electrodes and the contact lead-out electrodes of the transistors are formed by growing an SiO₂ film 17 on the upper and side surfaces of the polysilicon layer 12.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

昭61-251165

⑬ Int.Cl.⁴H 01 L 27/06
27/08
29/78

識別記号

1 0 3
1 0 2

庁内整理番号

6655-5F
6655-5F
8422-5F

⑭ 公開 昭和61年(1986)11月8日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 Bi-MIS集積回路の製造方法

⑯ 特 願 昭60-94404

⑰ 出 願 昭60(1985)4月30日

⑱ 発 明 者 後 藤 広 志 川崎市中原区上小田中1015番地 富士通株式会社内

⑲ 出 願 人 富 士 通 株 式 会 社 川崎市中原区上小田中1015番地

⑳ 代 理 人 弁 理 士 松 岡 宏 四 郎

明 細 書

1. 発明の名称

Bi-MIS集積回路の製造方法

2. 特許請求の範囲

少なくともゲート領域に形成せる絶縁膜00と素子分離領域を除いて、半導体基板を露出させる工程と、

全面にポリシリコン層00を成長させて、ゲート電極、及びMIS、バイポーラの両トランジスタの各コンタクト引き出し電極00をパターンニングする工程と、

前記ポリシリコン層の上面、及び側面に酸化膜09、00を成長させることにより、ゲート電極及びトランジスタのコンタクト引き出し電極00を形成する工程を含むことを特徴とするBi-MIS集積回路の製造方法。

3. 発明の詳細な説明

(概要)

半導体装置で、バイポーラとMISトランジスタを同一のチップ上に形成せる集積回路装置の製

造に当たり、ゲート電極と、各トランジスタのコンタクト引き出し電極を、全て上面と側面を酸化膜で覆われたポリシリコンで形成する方法をとることにより製造方法の簡易化と特性の改善を行った。

(産業上の利用分野)

本発明は、ロジック回路とリニヤ回路の共存を必要とする集積回路として、バイポーラとMISトランジスタを同一のチップ上に形成せる、所謂、Bi-MIS ICの製造方法に関する。

半導体集積回路の製造技術の進歩に伴って、ロジック回路部とリニヤの増幅回路を同一のチップ上に形成する要求が多くなって来ている。

このような集積回路の製造プロセスでは、MIS FET部とバイポーラ・トランジスタ部とはそれぞれ構造上の固有の問題があり、一方のトランジスタの性能を良くするためのプロセスが他方のトランジスタの性能を劣化させる場合も屢起こる。

特に、Bi-MIS ICでは、MISトランジスタの低電力化と高速化を図り、またバイポーラトランジスタのベース領域を出来るだけ浅く形成して高出力特性を達成することが要求され、PSG膜の高温リフロー工程を省いた、配線層のコンタクト形成方法が要望されている。

(従来の技術)

従来の技術による標準的なシリコンゲート電極を用いたBi-CMOS ICの製造方法を、第2図(a)~(d)の工程順断面図により説明する。

p型シリコン基板1にマスクを用い、選択的にp-MOSとバイポーラのトランジスタ形成部に、n型埋設層2を形成する。

上記基板にn型エピタキシャル層3を気相成長させる。この成長では基板温度が1000℃以上に加熱されるのでn型埋設層はエピタキシャル層にまでせり上がり拡散する。

次いで、熱酸化により基板全面にSiO₂膜4、更に、CVD法でSi₃N₄膜5を積層する。次い

で、MOS、及びバイポーラの素子形成領域を残して、Si₃N₄膜を選択的エッチング除去する。

次いで、n-MOS形成領域としてpウエル6と、バイポーラ・トランジスタを分離するためのアイソレーション領域7を除いて、レジストでマスクして、ボロン(B)のイオンの打ち込みを行ない、アニールすることにより、pウエルとp型アイソレーション領域が得られる。これを第2図(a)に示す。

次に隣接する各トランジスタ間の露出せる酸化膜の下に、それぞれ選択的にレジストをマスクとしてB及び砒素(As)のイオン打ち込みを行い、p型チャンネルカット8、n型チャンネルカット9を形成する。この基板を熱酸化することによりSi₃N₄膜に覆われた領域以外は厚いフィールド酸化膜10が形成される。この状態を第2図(b)に示す。

以上でトランジスタの活性領域の形成前の前工程を終わるが、ここまでの工程は標準的なもので、以後の工程の如何にかかわらず、通常は略同じて

ある。

基板上の薄いSi₃N₄膜、SiO₂膜を化学的に洗浄除去し、MOSおよびバイポーラのトランジスタ形成領域のシリコン基板を露出せしめた後、この領域にゲート酸化膜21を成長させる。

次いで、バイポーラ・トランジスタのベース領域22のみ開口せるレジストによりBのイオン打ち込みを行う。

次いで、全面にn型多結晶シリコンを成長させると共に、先のベースイオン打ち込み領域のアニールを行う。

次いで、ゲート電極部を除いて多結晶シリコンをエッチング除去し、ゲート電極23を形成する。

次いで、p-MOSのソース領域24、ドレイン領域25、及びベース・コンタクト領域26を露出せるレジストをマスクとして、Bのイオン打ち込みを行う。

次いで、n-MOSのソース領域27、ドレイン領域28、及びバイポーラ・トランジスタのエミッタ領域29、コレクタ領域30にAsのイオンを打ち

込む。

以上の工程で第2図(c)が得られる。

次いで、ゲート電極表面をブロック酸化膜31としてSiO₂膜を成長させ、全面にPSG膜32を成長させた後、コンタクト孔33を開口する。

この状態で約1050℃の高温熱処理を行ってPSG膜をリフローさせることにより、第2図(d)が完成する。配線工程以降の工程については説明を省略する。

(発明が解決しようとする問題点)

上記に述べた、従来の技術による方法では、PSG膜の形成はトランジスタ素子領域形成後に行われる。

また、配線層のコンタクト孔の形成はCMOS、バイポーラ共PSG膜の形成後開口しているため、コンタクト孔の段差が大きく、配線工程でのカバレッジが低下する。

また、PSG膜の高温リフロー工程を通るので、ベース拡散領域を浅く出来ないという問題もある。

また、P S G膜に開口するコンタクト孔の形成と、イオン注入領域との位置合わせの問題があり、セルフアラインでコンタクトをとることが出来ないかという問題もある。

(問題点を解決するための手段)

上記問題点は、ポリシリコン層をパターンニングすることにより、ゲート電極、及び全てのトランジスタのコンタクト引き出し電極を形成することよりなる本発明の製造方法によって解決される。

即ち、少なくともゲート領域に形成せる絶縁膜とフィールド酸化膜よりなる素子分離領域を除いて、半導体基板を露出させる。

次いで、全面にポリシリコン層を成長させて、ゲート電極、及びMIS、バイポーラの両トランジスタの各コンタクト引き出し電極をパターンニングする。

前記ポリシリコン層の上面、及び側面をLOCOS法で酸化膜を成長させることにより、ゲート電極及びトランジスタのコンタクト引き出し電極

を形成する方法により解決される。

(作用)

本発明の製造方法では、最初にノンドープのポリシリコン層を積層して、ゲート電極、及び各トランジスタのコンタクト引き出し電極の形状にパターンニングを行う。

その後、イオン注入法により、順次素子領域に不純物領域を形成すると共に、引き出し電極にも不純物を導入することにより導電性を持たせるので、コンタクトはセルフアライン的に形成される。

メインの配線層は、ポリシリコン層に積層された酸化膜の開口部を通して、これらの引き出し電極とコンタクトをとることになるので、ステップカバレッジは殆ど問題にならない。

(実施例)

本発明による一実施例を第1図(a)~(d)の工程断面図により詳細説明する。トランジスタの素子形成の前工程までは変わらないので、第2図(a)から

以後の工程について説明する。

第2図(a)のごとく形成された基板を用い、全面の Si_3N_4 膜、 SiO_2 膜を洗浄除去した後、全面に酸化膜を300~500Åの厚さに成長させる。

パターンニングを行ってゲート領域のみゲート酸化膜11として残す。

次いで、アンドープ・ポリシリコン層12を全面に気相成長させ、更に、 Si_3N_4 膜13、 SiO_2 膜14を順次積層する。

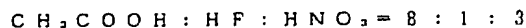
次いで、MOSトランジスタのゲート電極、ソース、ドレインのコンタクト引き出し電極の各領域と、バイポーラ・トランジスタのコレクタ、エミッタ、ベースの各コンタクト引き出し電極領域をレジストでマスクして、 Si_3N_4 膜13、 SiO_2 膜14を選択的にエッチング除去する。

n-MOS領域をレジストでマスクして、Bのイオン打ち込みを行う。次いで、逆にn-MOS部のみ開口せるレジストを用いて、Asのイオン打ち込みを行って、熱アニールを行う。

これによって、表面の露出せるポリシリコン層

12に、 p^+ 領域15、 n^+ 領域16が形成される。これを第1図(b)に示す。

次いで、ポリシリコン層を下記の混合溶液を用いてエッチングを行う。



このエッチングにより、ポリシリコンの不純物の導入領域のみ除去される。この状態を第1図(c)に示す。熱アニールにより不純物層は一部基板内に拡散している。

この状態で、再びp-MOS領域とバイポーラのベースのp領域とベース・コンタクト引き出し電極部領域を露出せるレジストを用いて、Bのイオン打ち込みを行う。

更に、n-MOS領域を露出せるレジストによりAsのイオン打ち込みを行う。

酸化膜14をエッチング除去し、基板上に露出せるポリシリコン層の側面をLOCOS法で SiO_2 膜17を形成する。ポリシリコン層の上の Si_3N_4 膜をエッチング除去する。

p-MOSのコンタクト引き出し電極18、バイ

ポーラ・トランジスタのベース・コンタクト引き出し電極18に選択的にBイオン打ち込みを行う。

次いで、n-MOSのコンタクト引き出し電極18と、バイポーラ・トランジスタのコレクタとエミッタのコンタクト引き出し電極18の領域に選択的にAsのイオン打ち込みを行い、熱アニールにより活性化をはかる。以上の状態を第1図(c)に示す。

上記のAs打ち込みでは、バイポーラのエミッタ部では先にBを打ち込みによるp型を充分補償するだけのAsを打ち込むことを必要とする。

以上で全てのトランジスタの素子部と各コンタクト引き出し電極の活性化が終わり、ポリシリコン層の表面に熱酸化によりSiO₂膜19を形成し、コンタクト孔20を開口する。これを第1図(d)に示す。

以後のアルミニウム配線層の形成以後の工程については省略する。

(発明の効果)

以上に説明せるごとく、本発明の製造方法を適用することにより、各電極コンタクト部はセルフアライン的に形成される。また、PSC膜を通して基板と直接コンタクト孔を形成するのでないで、ステップカバレッジの問題もなくなる。

4. 図面の簡単な説明

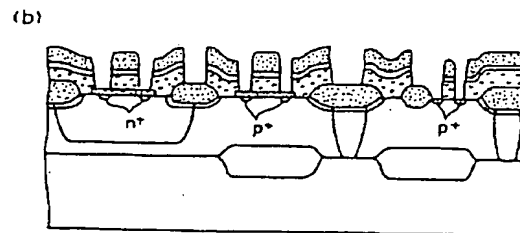
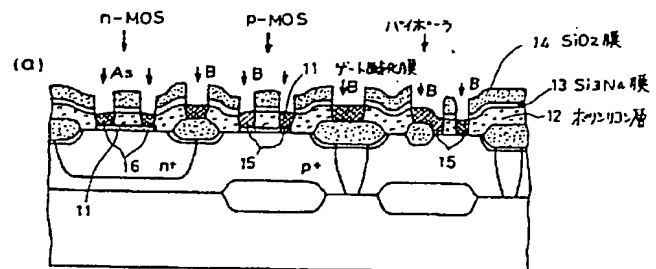
第1図は本発明にかかわるBi-MIS ICの製造工程順の断面図、

第2図は従来の方法によるBi-MIS ICの製造工程順の断面図、を示す。

図面において、

- 1はp型シリコン基板、
- 2はn⁺型埋設層、
- 3はn型エピタキシャル層、
- 4,14,17,19は酸化膜(SiO₂膜)、
- 5,13はSi₃N₄膜、

- 6はpウェル、
 - 7はアイソレーション領域、
 - 8, 9はチャネルカット、
 - 10はフィールド酸化膜、
 - 11,21はゲート酸化膜、
 - 12はポリシリコン層、
 - 15はp⁺領域、
 - 16はn⁺領域、
 - 18はコンタクト引き出し電極、
 - 20,33はコンタクト孔、
 - 22はベース領域、
 - 23はゲート電極、
 - 24,27はソース領域、
 - 25,28はドレイン領域、
 - 26はベースコンタクト領域、
 - 29はエミッタ領域、
 - 30はコレクタ領域、
 - 31はブロック酸化膜、
 - 32はPSC膜、
- をそれぞれ示す。



本発明にかかわるBi-MIS ICの製造工程順断面図

第1図

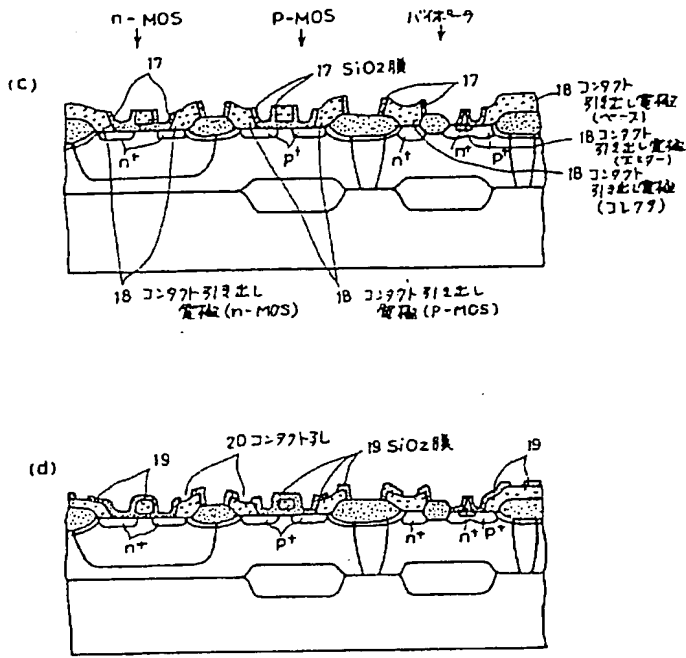
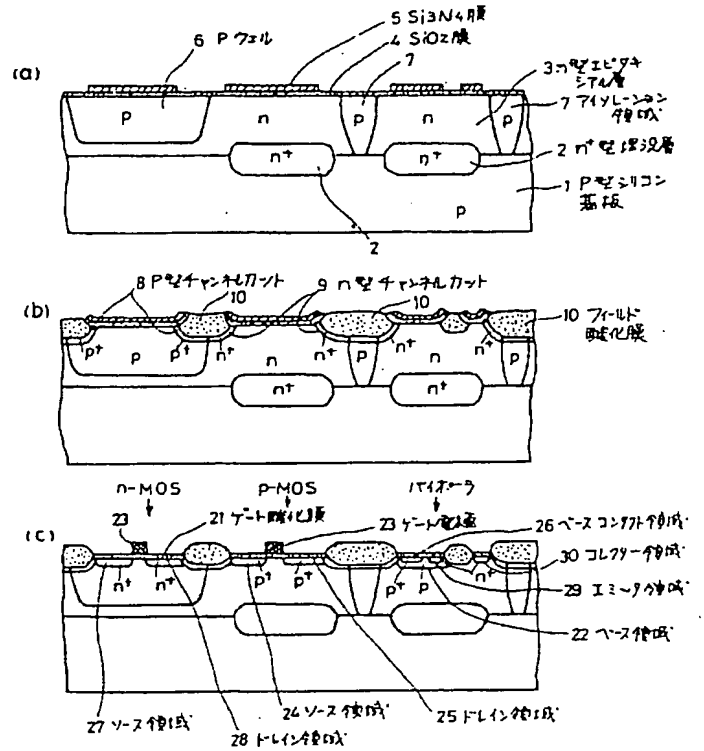
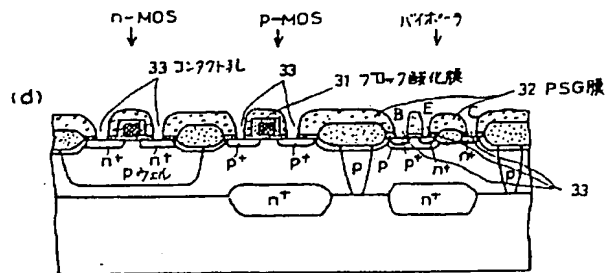


図 1 図



従来の方法による Bi-MOS IC の製造工程横断面図

第 2 図



第 2 図